

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 2 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 4 3 6 0 9  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 4 3 6 0 9 ]

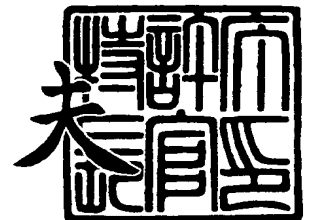
出   願   人            セイコーエプソン株式会社  
Applicant(s):



2 0 0 3 年 1 0 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 PA04F306

【提出日】 平成15年 2月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/146

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 谷戸 英則

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 110000028

【氏名又は名称】 特許業務法人 明成国際特許事務所

【代表者】 下出 隆史

【電話番号】 052-218-5061

【手数料の表示】

【予納台帳番号】 133917

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0105458

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 フォトダイオードと光電荷検出用の絶縁ゲート型電界効果トランジスタとを有する単位画素が複数配列された画素アレイと、前記画素アレイの動作を制御する制御回路とを備える固体撮像装置であって、

前記フォトダイオードと前記絶縁ゲート型電界効果トランジスタとは、第 1 導電型の半導体基板上の第 2 導電型の半導体層内に形成された第 1 導電型のウェル領域を共有しており、

前記絶縁ゲート型電界効果トランジスタは、

前記ウェル領域の表層に形成された第 2 導電型のソース拡散領域と、

前記ウェル領域の表層を除く前記半導体層の表層に形成された第 2 導電型のドレイン拡散領域と、

前記ドレイン拡散領域と前記ソース拡散領域との間の前記ウェル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の下の前記ウェル領域の表層であって、第 2 導電型の不純物層を有するチャンネル領域と、

前記チャンネル領域の下の前記ウェル領域内であってソース拡散領域の近辺に前記ウェル領域よりも高い不純物濃度を有し、前記フォトダイオードに照射される光に応じて発生した所定の導電型の電荷を蓄積するための蓄積領域を構成する第 1 導電型の高濃度埋込層と、を有しており、

前記制御回路は、前記ドレイン拡散領域に定電圧と定電流と定電荷とのいずれかを供給するドレイン制御回路を有し、前記蓄積領域に蓄積されている前記所定の導電型の電荷を排出させる際に、あらかじめ前記ドレイン制御回路から前記ドレイン拡散領域に供給される前記定電圧と定電流と定電荷とのいずれかによって前記半導体基板と前記半導体層とで構成される接合領域を順方向にバイアスされた状態とすることにより、前記蓄積領域に前記所定の導電型の電荷が所定量蓄積された状態とすることを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の固体撮像装置であって、

前記ドレイン制御回路は、前記単位画素と同じ構造を有するダミー画素に含まれる前記半導体基板と前記半導体層とで構成される接合領域によるダミーダイオードと、前記ダミーダイオードに順方向の電流を供給する定電流源とを備え、前記ダミーダイオードの順方向電圧に基づいて前記ドレイン拡散領域に供給する定電圧を生成する、固体撮像装置。

【請求項 3】 請求項 1 記載の固体撮像装置であって、

前記ドレイン制御回路は定電流源を備え、前記ドレイン拡散領域に供給する定電流を生成する、固体撮像装置。

【請求項 4】 請求項 1 記載の固体撮像装置であって、

前記ドレイン制御回路は、コンデンサと、前記コンデンサの充電用電源と、前記コンデンサの一方の端子を、前記充電用電源の出力端子と前記ドレイン拡散領域とのいずれか一方に接続するためのスイッチとを備え、前記半導体基板と前記半導体層とで構成される接合領域を順方向にバイアスされた状態とする所定の期間を除く期間では、前記コンデンサの前記一方の端子を前記充電用電源の出力端子に接続することにより前記コンデンサを充電し、前記所定の期間では、前記コンデンサの前記一方の端子を前記ドレイン拡散領域に接続することにより、前記ドレイン拡散領域に供給する定電荷を生成する、固体撮像装置。

【請求項 5】 前記所定の導電型の電荷が所定量蓄積された状態は、蓄積可能な最大量の前記所定の導電型の電荷が前記蓄積領域に蓄積された飽和状態である請求項 1 ないし請求項 4 のいずれか記載の固体撮像装置。

【請求項 6】 第 1 導電型が p 型で第 2 導電型が n 型である場合には、前記所定の導電型の電荷は正孔である請求項 1 ないし請求項 5 のいずれかに記載の固体撮像装置。

【請求項 7】 第 1 導電型が n 型で第 2 導電型が p 型である場合には、前記所定の導電型の電荷は電子である請求項 1 ないし請求項 5 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、しきい値電圧変調方式による M O S 型の固体撮像装置に関する。

#### 【 0 0 0 2 】

##### 【従来の技術】

携帯電話やデジタルカメラなど、小型のカメラを搭載した種々の電子機器が普及しつつある。このようなカメラ向けの撮像素子の例として、しきい値変調型撮像素子と呼ばれる M O S 型の固体撮像素子が開発されている（例えば、特許文献 1 参照。）。

#### 【 0 0 0 3 】

このしきい値変調型撮像素子は、同等の画素寸法および画素数を備える C C D 型固体撮像素子（C C D : Charge Coupled Device）と比べると、光感度は C C D 型固体撮像素子に及ばないが、消費電力は C C D 型固体撮像素子よりも低い。また、同等の画素寸法および画素数を備える C M O S 型固体撮像素子（C M O S : Complementary Metal Oxide Semiconductor）と比べると、消費電力が同等であるのに対し、光感度が高いという特徴を有している。

#### 【 0 0 0 4 】

しきい値変調型撮像素子は、C M O S 型固体撮像素子よりも光感度を高めて画質を改善するために特殊な画素構造を有している。具体的には、C M O S 型固体撮像素子の 1 つの画素（以下、「単位画素」とも呼ぶ。）では、フォトダイオードで受光量に応じて光電変換された電荷（以下、「光電荷」とも呼ぶ。）を電圧に変換（以下、「電荷電圧変換」と呼ぶ。）するとともに増幅するために、3 個～4 個のトランジスタが用いられるのに対し、しきい値変調型撮像素子の 1 つの単位画素では、1 個のトランジスタが用いられる。そして、この 1 個のトランジスタには、汎用の M O S トランジスタとは異なる特殊な構造が採用されている。具体的には、トランジスタ内にキャリアポケットと呼ばれるエネルギーのくぼみ（「井戸」とも呼ばれる。）が設けられている。このキャリアポケットは、例えば、ホール（正孔）に対するポテンシャルが低くなる構造を有している。このため、フォトダイオードで発生した光電荷のうち、ホール（以下、「光ホール」とも呼ぶ。）が蓄積される。トランジスタのしきい値は、このキャリアポケットに蓄積される光ホールの個数に応じて変化し、このトランジスタにより構成される

ソースフォロアのソース電位が変化する。従って、キャリアポケットに蓄積された光ホールの個数に応じて変化するソース電位を読み出すことで受光量に応じた画素データを検出することが可能である。

#### 【0005】

##### 【特許文献1】

特開平11-195778号公報

#### 【0006】

##### 【発明が解決しようとする課題】

上記しきい値変調型撮像素子において、1枚の画像を撮像する際には、撮像前に、各画素のキャリアポケットに蓄積されている光電荷を排出（リセット）することが行われる。前の撮像によって蓄積された光電荷が残存していると、残存分の光電荷が加算されることになり、検出された各画素データに残像として悪影響を与える場合があるからである。しかしながら、一般に、一定の限られた時間内に前の撮像によって蓄積されている光電荷をキャリアポケットから完全に排出することは困難である。このため、しきい値変調型撮像素子において、前の撮像において蓄積された光電荷による残像によって発生する画質の劣化を抑制することが望まれている。

#### 【0007】

この発明は、従来技術における上述の課題を解決するためになされたものであり、しきい値変調型固体撮像素子において、前の撮像において蓄積された光電荷による残像によって発生する画質の劣化を抑制することが可能な技術を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明は、フォトダイオードと光電荷検出用の絶縁ゲート型電界効果トランジスタとを有する単位画素が複数配列された画素アレイと、前記画素アレイの動作を制御する制御回路とを備える固体撮像装置であって、

p型またはn型のいずれか一方が第1導電型で他方が第2導電型であるとした

場合に、

前記フォトダイオードと前記絶縁ゲート型電界効果トランジスタとは、第1導電型の半導体基板上の第2導電型の半導体層内に形成された第1導電型のウェル領域を共有しており、

前記絶縁ゲート型電界効果トランジスタは、

前記ウェル領域の表層に形成された第2導電型のソース拡散領域と、

前記ウェル領域の表層を除く前記半導体層の表層に形成された第2導電型のドレイン拡散領域と、

前記ドレイン拡散領域と前記ソース拡散領域との間の前記ウェル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の下の前記ウェル領域の表層であって、第2導電型の不純物層を有するチャネル領域と、

前記チャネル領域の下の前記ウェル領域内であってソース拡散領域の近辺に前記ウェル領域よりも高い不純物濃度を有し、前記フォトダイオードに照射される光に応じて発生した所定の導電型の電荷を蓄積するための蓄積領域を構成する第1導電型の高濃度埋込層と、を有しており、

前記制御回路は、前記ドレイン拡散領域に定電圧と定電流と定電荷とのいずれかを供給するドレイン制御回路を有し、前記蓄積領域に蓄積されている前記所定の導電型の電荷を排出させる際に、あらかじめ前記ドレイン制御回路から前記ドレイン拡散領域に供給される前記定電圧と定電流と定電荷とのいずれかによって前記半導体基板と前記半導体層とで構成される接合領域を順方向にバイアスされた状態とすることにより、前記蓄積領域に前記所定の導電型の電荷が所定量蓄積された状態とすることを特徴とする。

#### 【0009】

上記発明の固体撮像装置によれば、蓄積領域に蓄積されている所定の導電型の電荷の排出を実行する前に、あらかじめ、ドレイン制御回路からドレイン拡散領域に供給される定電圧と定電流と定電荷とのいずれかによって半導体基板と半導体層とで構成される接合領域を順方向にバイアスされた状態とすることにより、蓄積領域に所定の導電型の電荷が所定量蓄積された状態とすることができる。こ

れにより、蓄積領域に蓄積されている所定の導電型の電荷の排出が所定量蓄積された状態から開始されるので、一定の排出期間経過後に蓄積領域に残留する所定の導電型の電荷の量をほぼ一定とすることが可能である。残留する所定の導電型の電荷の量がほぼ一定であれば、一定の所定の導電型の電荷が残留する状態を基準として、照射される光に応じて蓄積される所定の導電型の電荷の量を検出することが可能となる。従って、しきい値変調型固体撮像装置において、前の撮像において蓄積された所定の導電型の電荷による残像によって発生する画質の劣化を抑制することが可能である。

#### 【0010】

ここで、前記ドレイン制御回路は、前記単位画素と同じ構造を有するダミー画素に含まれる前記半導体基板と前記半導体層とで構成される接合領域によるダミーダイオードと、前記ダミーダイオードに順方向の電流を供給する定電流源とを備え、前記ダミーダイオードの順方向電圧に基づいて前記ドレイン拡散領域に供給する定電圧を生成することが好ましい。

#### 【0011】

上記ドレイン制御回路では、順方向にバイアスされた状態とすべき半導体基板と半導体層とで構成される接合領域と同じ構造のダミーダイオードの順方向電圧に基づいて、ドレイン拡散領域に供給する電圧を生成しているので、接合領域の温度が変化して、蓄積領域に所定量の電荷を蓄積するために要求される接合領域のバイアス状態が変化したとしても、ダミーダイオードの順方向電圧が同様に変化して、接合領域のバイアス状態を要求される状態となるようにすることができる。これにより、蓄積領域に所定量の電荷が蓄積されなくなることを防止することができる。また、蓄積領域に所定以上の余分な電荷が発生して消費電力の増加を招くことを抑制することができる。

#### 【0012】

また、前記ドレイン制御回路は定電流源を備え、前記ドレイン拡散領域に供給する定電流を生成するようにしてもよい。

#### 【0013】

このようにしても、接合領域のバイアス状態を要求される状態となるようにす



ることができる。これにより、蓄積領域に所定量の電荷が蓄積されなくなること  
を防止することができる。また、蓄積領域に所定以上の余分な電荷が発生して消  
費電力の増加を招くことを抑制することができる。

#### 【0014】

さらに、前記ドレイン制御回路は、コンデンサと、前記コンデンサの充電用電  
源と、前記コンデンサの一方の端子を、前記充電用電源の出力端子と前記ドレイ  
ン拡散領域とのいずれか一方に接続するためのスイッチとを備え、前記半導体基  
板と前記半導体層とで構成される接合領域を順方向にバイアスされた状態とする  
所定の期間を除く期間では、前記コンデンサの前記一方の端子を前記充電用電源  
の出力端子に接続することにより前記コンデンサを充電し、前記所定の期間では  
、前記コンデンサの前記一方の端子を前記ドレイン拡散領域に接続することによ  
り、前記ドレイン拡散領域に供給する定電荷を生成するようにしてもよい。

#### 【0015】

このようにしても、接合領域のバイアス状態を要求される状態となるようにす  
ることができる。これにより、蓄積領域に所定量の電荷が蓄積されなくなること  
を防止することができる。また、蓄積領域に所定以上の余分な電荷が発生して消  
費電力の増加を招くことを抑制することができる。

#### 【0016】

さらに、このドレイン制御回路では、蓄積領域に所定の導電型の電荷を所定量  
蓄積するために必要な量に対応する量の電荷のみをドレイン拡散領域に供給す  
ることができるので、より効果的に消費電力の低減を図ることができる。

#### 【0017】

ここで、前記所定の導電型の電荷が所定量蓄積された状態は、蓄積可能な最大  
量の前記所定の導電型の電荷が前記蓄積領域に蓄積された飽和状態であることが  
好ましい。

#### 【0018】

蓄積可能な最大量の所定の導電型の電荷が蓄積領域に蓄積された飽和状態はほ  
ぼ一定であるので、蓄積領域に蓄積されている電荷の量にかかわらず、半導体基  
板と半導体層とで構成される接合領域を順方向にバイアスした状態とすれば、蓄

積領域の蓄積状態を容易に飽和状態とすることができる。

【0 0 1 9】

なお、第 1 導電型が p 型で第 2 導電型が n 型である場合には、所定の導電型の電荷は正孔である。また、第 1 導電型が n 型で第 2 導電型が p 型である場合には、所定の導電型の電荷は電子である。

【0 0 2 0】

【発明の実施の形態】

以下、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 固体撮像装置の構成：

B. 比較例の撮像動作：

B 1. 蓄積期間：

B 2. 読み出し期間：

B 3. リセット期間：

B 4. 問題点：

C. 実施例の撮像動作：

D. ドレイン制御回路：

D 1. 第 1 実施例：

D 2. 第 2 実施例：

D 3. 第 3 実施例：

E. 変形例：

【0 0 2 1】

A. 固体撮像装置の構成：

図 1 は、本発明の実施の形態に係るイメージセンサ（固体撮像装置）の全体の構成について示す説明図である。このイメージセンサ 1 0 は、画像の 1 画素に対応する単位画素 1 0 0 がマトリクス状に配列された画素アレイ 2 0 を有している。単位画素 1 0 0 は、1 個のフォトダイオード（P D S）と、1 個の光電荷検出用の n M O S トランジスタ（P D T r）とにより構成されている。

【0 0 2 2】

また、画素アレイ 2 0 の左側および下側には、画素アレイ 2 0 内でマトリクス

状に配列されている単位画素を駆動するための垂直制御回路 30 および水平制御回路 40 が配置されている。また、垂直制御回路 30 および水平制御回路 40 の間には、これらの動作の基準となるタイミング信号を生成するタイミングジェネレータ 50 が配置されている。また、画素アレイ 20 の上側と右側とには、各単位画素 100 の動作に要求される各種電圧を生成する電圧制御回路 60 が配置されている。また、水平制御回路 40 の右側には、撮像された画像データを出力する出力回路 70 が配置されている。

### 【0023】

図 2 は、単位画素内における素子レイアウトの一例を示す概略平面図である。図 3 は、図 2 の A-A 線概略断面図である。単位画素 100 内には、フォトダイオード (PDS) 111 と光電荷検出用の nMOS トランジスタ (PDTr) 112 とが隣接して設けられている。

### 【0024】

図 3 に示すように、p 型シリコンからなる基板 121 (以下、「p 型基板」とも呼ぶ。) 上に基板 121 よりも不純物濃度の薄い p 型 (以下、「p-型」と呼ぶ。) のシリコンをエピタキシャル成長させることにより、p-型基板層 122 が形成されている。p 型基板 121 と p-型基板層 122 とが実質的な p 型の半導体基板を構成している。なお、列方向の隣接する単位画素同士の境界には、p-型基板層 122 および基板表面に図示しない酸化膜を介して設けられた素子分離ゲート 124 による画素分離領域 123 が形成されている。この画素分離領域 123 により、列方向の各単位画素 100 は電氣的に分離されている。行方向に隣接する単位画素同士の境界には画素分離領域 123 は設けられておらず、行方向の単位画素同士は 1 つの n 型のウェル領域 125 (以下、「n ウェル領域」と呼ぶ。) が共有化されている。なお、行方向に隣接する単位画素同士の境界に画素分離領域を設けるようにしてもよい。画素分離領域 123 の p-型基板層 122 の表層に設けられた基板 121 よりも不純物濃度の濃い p 型 (以下、「p+型」と呼ぶ。) の不純物拡散領域 122a は、隣接する n ウェル領域 125 同士の分離度を高めるために設けられている。具体的には、表層部分で発生する隣接する n ウェル領域 125 間のパンチスルーを防止する。

**【0025】**

また、nウェル領域125の1つの単位画素100に相当する領域内には、フォトダイオード111とnMOSトランジスタ112とで共有される一つのpウェル領域126が埋め込まれている。フォトダイオード111のpウェル領域126は光照射による電荷の発生領域を構成し、nMOSトランジスタ112のpウェル領域126は電荷の転送領域と蓄積領域とを構成している。

**【0026】**

フォトダイオード111は、pウェル領域126と、nウェル領域125と、このpウェル領域126を挟むようにnウェル領域125の表層に形成された不純物拡散領域127とで構成されている。この不純物拡散領域127は、nウェル領域125よりも不純物濃度の濃いn型（以下、「n+型」と呼ぶ。）領域である。

**【0027】**

nMOSトランジスタ112は、リング状のゲート電極128を有しており、このリング状ゲート電極128はnウェル領域125に囲まれた構造を有している。このリング状ゲート電極128およびpウェル領域126を囲むnウェル領域125のいずれかの表層にn+型のドレイン拡散領域129が形成されている。また、リング状のゲート電極128の中央部にn+型のソース拡散領域130が形成されている。なお、ゲート電極128とゲート電極128の下nウェル領域132との間には、ゲート絶縁膜128aが形成されている。ゲート電極128の下pウェル領域126の表層のnウェル領域132がチャネル領域となる。

**【0028】**

また、チャネル領域の下pウェル領域126内には、ソース拡散領域130を囲むようにp+型のキャリアポケット131が形成されている。キャリアポケット131については後述する。

**【0029】**

なお、図2の平面図に示された3つの黒塗りの四角形は、ゲート電極、ドレイン電極、ソース電極のコンタクト領域を示している。ただし、図3の断面図にお

いては、これらのコンタクトを省略し、各電極の電圧をゲート電圧 $V_G$ 、ドレイン電圧 $V_D$ 、およびソース電圧 $V_S$ として示している。

### 【0030】

#### B. 比較例の撮像動作:

まず、実施例の撮像動作を示す前に、基本的な撮像動作を比較例として示す。図4は、比較例としての1つの単位画素における撮像のシーケンスを示す説明図である。図4に示すように、リセット期間( $T_1$ )、蓄積期間( $T_2$ )、信号出力期間( $T_3$ )、リセット期間( $T_4$ )、ノイズ出力期間( $T_5$ )の5つの期間を経て1回の撮像動作が実行される。このシーケンスを繰り返すことにより、繰り返し撮像動作が実行される。なお、他の各単位画素も同様である。

### 【0031】

#### B1. 蓄積期間:

図5は、蓄積期間の動作を示す説明図である。図5は、図3と同じ単位画素100の概略断面図を示している。蓄積期間(図4の期間 $T_2$ )では、撮像する画像からの光を、各画素に対応する単位画素100のフォトダイオード111で受光して光電変換し、これにより発生した光ホールをpウェル領域126のキャリアポケット131に蓄積させる。

### 【0032】

蓄積期間では、ゲート電圧 $V_G$ として2V、ドレイン電圧 $V_D$ およびソース電圧 $V_S$ として1Vをそれぞれの電極に印加して、nMOSトランジスタ112をオン状態とする。なお、ゲート電圧 $V_G$ 、ドレイン電圧 $V_D$ およびソース電圧 $V_S$ として印加される各電圧は、図1の電圧制御回路60に含まれる一般的な定電圧発生回路において生成されて、垂直制御回路30および水平制御回路40を介して供給される。または、電圧制御回路60により、直接、供給される場合もある。フォトダイオード111のnウェル領域125とpウェル領域126によるpn接合は逆バイアス状態とされており、このpn接合の接合界面付近に空乏領域(例えば、図5のハッチング領域)が形成されている。

### 【0033】

空乏領域では、フォトダイオード111に入射した光を光電変換して、電子(

光電子) とホール (光ホール) の対よりなる電荷 (光電荷) を発生する。ここで、光電荷のうち、光電子は、n ウェル領域 125 に分布するようになり、ドレイン拡散領域 129 を介して排出される。一方、光ホールは、p ウェル領域 126 に分布するようになる。

#### 【0034】

図6は、図5のB-B線断面におけるポテンシャル分布を示す説明図である。縦軸はポテンシャルを表し、横軸は基板表面 (界面) からの深さを表す。図6に示したように、p ウェル領域 126 に比べてキャリアポケット 131 のポテンシャルは低くなっているため、発生した光ホールはキャリアポケット 131 に集められて蓄積される。

#### 【0035】

B2. 読み出し期間:

読み出し期間、すなわち、図4の期間T3における信号出力期間 (S出力期間) は、蓄積期間において蓄積された光ホールに基づく撮像データを読み出す期間である。また、図4の期間T5におけるノイズ出力期間 (N出力期間) は、光ホールが蓄積されていない状態におけるノイズデータを読み出す期間である。

#### 【0036】

図7は、読み出し期間におけるnMOSトランジスタを示す説明図である。これらの読み出し期間では、図7に示すように、nMOSトランジスタ112をソースフォロア回路として動作させて、読み出された信号を出力する。

#### 【0037】

読み出し期間では、nMOSトランジスタ112にバイアス電圧を印加する。例えば、図7に示すように、ゲート電圧VGとして2Vをゲート電極128に印加し、ドレイン電圧VDとして3.3Vをドレイン拡散領域 (ドレイン電極) 129に印加する。ソース拡散領域 (ソース電極) 130には、図示しない負荷回路が接続される。このとき、ソース電圧VSは、nMOSトランジスタ112のしきい値電圧をVTHとすると、下式のように表される。

#### 【0038】

$$VS = VG - VTH \quad \dots (1)$$

**【0039】**

ここで、しきい値電圧  $V_{TH}$  は、キャリアポケット 131 に蓄積された光ホールの個数に応じて変化する。すなわち、しきい値  $V_{TH}$  はホール数  $N_{hp}$  をパラメータとする関数  $f(N_{hp})$  で表される。

**【0040】**

従って、(1) 式で表されるソース電圧  $V_S$  は、蓄積されたホール数  $N_{hp}$  に応じて変化する。すなわち、ソース電圧  $V_S$  はフォトダイオード 111 で受光された光の量に応じた電圧となり、図 4 の期間  $T_3$  における  $S$  出力期間では撮像データが出力される。また、図 4 の期間  $T_5$  における  $N$  出力期間ではノイズデータが出力される。

**【0041】**

なお、 $S$  出力期間（期間  $T_3$ ）で読み出された撮像データから  $N$  出力期間（期間  $T_5$ ）で読み出されたノイズデータを差し引くことにより、ノイズ成分を除去した撮像データを得ることができる。

**【0042】**

B3. リセット期間：

図 8 は、リセット期間の動作を示す説明図である。図 8 は、図 5 と同じ単位画素 100 の概略断面図を示している。図 4 の期間  $T_1$  におけるリセット期間では、期間  $T_2$  の蓄積期間において、フォトダイオード 111 で発生した光ホールを蓄積するために、あらかじめキャリアポケット 131 に残留しているホール（正孔）を  $p$  型基板 121 側に排出する。また、図 4 の期間  $T_4$  におけるリセット期間は、期間  $T_2$  の蓄積期間にキャリアポケット 131 に蓄積したホールを  $p$  型基板 121 側に排出する。

**【0043】**

図 9 は、図 8 の B-B 線断面におけるポテンシャル分布を示す説明図である。縦軸はポテンシャルを表し、横軸は基板表面（界面）からの深さを表す。

**【0044】**

なお、リセット期間では、ゲート電極 128、ドレイン拡散領域 129 およびソース拡散領域 130 に通常の動作電圧よりも高い電圧を印加する。例えば、ソ

ース電圧  $V_S$  として 4 V をソース拡散領域（ソース電極）130 に印加する。ただし、p 型基板 121 の基板電圧  $V_{SUB}$  は、図示しない基板電極を介して GND（アース：0 V）とされており、同様に p 型基板 122 の電位もほぼ 0 V とされている。

#### 【0045】

この時、ゲート電極 128 がフローティング状態であっても、ソース・ゲート間の容量カップリングにより、ゲート電極 128 にゲート電圧  $V_G$  として 6 V を印加することができる。同時に、ゲート電極 128 下のチャネル領域が導通するため、ドレイン電圧  $V_D$  がフローティング状態であっても、ソース電圧  $V_S$  としてソース拡散領域 130 に印加した 4 V の電圧がほとんどそのままドレイン拡散領域 129 およびドレイン拡散領域 129 を含む n ウェル領域 125 に印加される。

#### 【0046】

このとき、図 9 に実線で示すように、基板表面（界面）側のポテンシャルが最も高く、基板表面側から深さ方向に沿ってポテンシャルが低くなる。これにより、キャリアポケット 131 に残留するホールを、キャリアポケット 131 よりもポテンシャルの低い p 型基板 122 および p 型基板 121 側に排出することができる。なお、図の破線は、図 6 に示した蓄積期間におけるポテンシャル分布を示している。

#### 【0047】

#### B4. 問題点：

上記比較例における撮像のシーケンスでは、以下に示す問題がある。図 10 は、リセット期間におけるリセット動作終了後の残留ホール数について示す説明図である。上述のように、キャリアポケット 131 から光ホールを排出することにより、キャリアポケット 131 に蓄積された光ホールをリセットする場合、キャリアポケット 131 に残留するホール数は、一般に時間をパラメータとする指数関数で表される。従って、蓄積ホール数の多少にかかわらず、残留ホール数を 0 とすることは困難である。

#### 【0048】



また、フォトダイオード 111 に入射する光の量に応じてキャリアポケット 131 の蓄積ホール数は変化し、入射光量が多いほど多く、入射光量が少ないほど少なくなる。このとき、同一のリセット期間内に排出されるホール数は、リセット開始時における蓄積ホール数の多いほうが多くなり、少ないほうが少なくなるが、残留ホール数も蓄積ホール数の多いほうが多くなり少ないほうが少なくなる。従って、蓄積ホール数、すなわち、入射光量に依存して、リセット期間内にキャリアポケット 131 から排出されない残留ホールの数も変化する。仮に、残留ホール数が一定であれば、この残留ホール数による影響はノイズデータとしてキャンセルすることができる。しかしながら、上述のように蓄積ホール数に応じて残留ホール数が変化すると、入射光量の変化に応じた残留ホール数による影響をキャンセルすることができず、前のサイクルにおいて撮像された画像が次のサイクルにおいて撮像される画像中に残像するという問題が発生する場合がある。

#### 【0049】

#### C. 実施例の撮像動作：

上記比較例における問題を解決するために、本実施例では以下で説明するように撮像素子を動作させる。

#### 【0050】

図 11 は、実施例としての 1 つの単位画素における撮像のシーケンスを示す説明図である。この実施例の撮像動作のシーケンスは、図 4 の比較例としての撮像のシーケンスにおけるリセット期間（期間 T1 および T4）の前に、プリチャージ期間（期間 T10 および T40）が設けられている点を除いて比較例と同じである。そこで、以下では、プリチャージ期間における単位画素 100 の動作についてのみ説明を加える。

#### 【0051】

図 12 は、プリチャージ期間の動作を示す説明図である。図 12 は、図 3 と同じ単位画素 100 の概略断面図を示している。プリチャージ期間（図 11 の期間 T10 および T40）では、リセット期間（期間 T1 および T4）におけるリセット動作の前に、キャリアポケット 131 に対してホールの蓄積を実行する。

#### 【0052】

図13は、図12のC-C線に沿ったポテンシャル分布を示す説明図である。プリチャージ期間では、ゲート電圧 $V_G$ として2Vをゲート電極128に印加し、ドレイン電圧 $V_D$ として-0.6Vをドレイン拡散領域（ドレイン電極）129に印加する。なお、p型基板121に印加される基板電圧 $V_{SUB}$ は0Vである。図13に破線で示すように、nウェル領域125のポテンシャルは、通常、p型基板121、具体的には、P-型基板層122のポテンシャルよりも高くなっており、隣接するnウェル領域125が隔離される。しかしながら、ドレイン電圧 $V_D$ として-0.6Vをドレイン拡散領域129に印加すると、実線で示すようにnウェル領域125のポテンシャルが低くなり、実効的に、P-型基板層122と、nウェル層125とで構成されるpn接合領域が順方向にバイアスされた状態となる。あるいは、言い換えると、P-型基板層122と、nウェル層125と、pウェル層126とによって構成される寄生のバイポーラトランジスタ（PT<sub>r</sub>）が導通状態となるとみることできる。これにより、p型基板121、具体的には、p-型基板層122側からpウェル領域126にホールを流入させることが可能となる。この結果、キャリアポケット131に対してホールを蓄積させることができる。なお、上記例では、ドレイン電圧 $V_D$ として-0.6Vを印加しているが、これに限定されるものではなく、P-型基板層122と、nウェル層125とで構成されるpn接合領域が順方向にバイアスされた状態とすることができる電圧、言い換えると、P-型基板層122と、nウェル層125と、pウェル層126とによって構成される寄生のバイポーラトランジスタ（PT<sub>r</sub>）を導通状態とすることができる電圧であればよい。

#### 【0053】

図14は、プリチャージ後のホール数について示す説明図である。キャリアポケット131に蓄積可能なホール数（以下、「飽和ホール数」と呼ぶ。）は、有限である。そこで、プリチャージ期間では、プリチャージ前に蓄積されているホール数にかかわらず、キャリアポケット131が飽和となるようにホールを蓄積させる。これにより、プリチャージ後のキャリアポケット131の蓄積ホール数は、プリチャージ前のホール数にかかわらず、毎回ほぼ一定の値となる。

#### 【0054】

リセット開始前のホール数がほぼ一定ならば、リセット後の残留ホール数も毎回ほぼ一定とすることができるので、図 11 の期間 T3 における S 出力から期間 T5 における N 出力を差し引くことにより、残留ホールの影響は入射光量に依存しなくなり、比較例の撮像動作で問題となっていた残留ホールによる残像の問題を抑制することが可能である。これにより、実施例のようなしきい値変調型固体撮像装置において、前の撮像の光ホールによる残像によって発生する画質の劣化を抑制することが可能である。

#### 【0055】

D. ドレイン制御回路:

プリチャージ期間におけるドレイン電圧  $V_D$  は、以下に示すドレイン制御回路により制御される。なお、ドレイン制御回路は、図 1 の電圧制御回路 60 に含まれている。

#### 【0056】

D1. 第 1 実施例:

図 15 は、第 1 実施例のドレイン制御回路を示す説明図である。このドレイン制御回路 DDC1 は、2 つの電源電圧  $V_{CC}$ 、 $GND$  ( $GND$  は「接地電位」とも呼び、 $0V$  である。) の間に直列に接続された定電流源  $CIP1$  およびダイオード  $RPD$  と、1 倍の反転アンプ  $AP$  と、スイッチ  $SW$  とを備えている。プリチャージ期間においては、スイッチ  $SW$  によって反転アンプ  $AP$  の出力が選択されて、反転アンプ  $AP$  の出力電圧  $V_{D2}$  がドレイン電圧  $V_D$  としてドレイン拡散領域 129 に供給される。プリチャージ期間以外の他の期間 (非プリチャージ期間) においては、図示しない定電圧回路の出力が選択されて、その出力電圧  $V_{D1}$  がドレイン電圧  $V_D$  としてドレイン拡散領域 129 に供給される。

#### 【0057】

定電流源  $CIP1$  から出力される電流  $I_F$  がダイオード  $RPD$  に流れてダイオード  $RPD$  の  $p-n$  接合領域が順方向にバイアスされる。これにより、反転アンプ  $AP$  の入力には、ダイオード  $RPD$  の順方向電圧  $V_F$  (正の電圧) が入力される。この順方向電圧  $V_F$  は、反転アンプによって負の電圧  $-V_F$  に変換されて出力電圧  $V_{D2}$  として出力される。なお、順方向電圧  $V_F$  は、通常、約  $0.6V$  ~ 約

1 V程度であり、ここでは、上述のように0.6 Vであるとする。従って、このドレイン制御回路DDC1は、プリチャージ期間においてドレイン電圧VDとして $-VF$  ( $=-0.6$  V) の負の電圧を供給することができる。これにより、上述したように、単位画素100 (図12参照) のP-型基板層122と、nウェル層125とで構成されるpn接合領域を順方向にバイアスした状態とし、p-型基板層122からnウェル層125を介してドレイン拡散領域129に電流IPを流すことができる。そして、P-基板層122からpウェル領域126に向けてnウェル層125を介して、電流IPを電流増幅率Hfe倍した電流 ( $IP \cdot Hfe$ ) を流すことができる。これにより、p-型基板層122側からpウェル領域126に流れる電流 ( $IP \cdot Hfe$ ) に応じた量のホールを流入させることが可能となる。この結果、キャリアポケット131に対してホールを蓄積させることができる。

#### 【0058】

ここで、ダイオードRPDは、以下で説明する理由から、上述の単位画素100と同じ構造を有するダミーの単位画素におけるP-型基板層122とnウェル層125とによって構成されるpn接合領域が利用されている。

#### 【0059】

単位画素100におけるP-型基板層122とnウェル層125とで構成されるpn接合領域を順方向にバイアスすることによってpn接合領域を流れる電流 ( $IP + IP \cdot Hfe$ ) は、pn接合領域の温度に依存して変化する。例えば、温度が高くなると比較的低い順方向のバイアス電圧 (「順方向電圧」とも呼ぶ。) で所望の電流 (電荷の移動) を得ることができるが、温度が低くなると比較的高い順方向のバイアス電圧としなければ所望の電流を得ることができなくなる。従って、プリチャージ期間においてドレイン電圧VDとして印加する電圧を、例えば-0.6 Vに固定するとすると、pn接合領域の温度によっては、所望の電流 (電荷の移動) が得られない場合がある。また、余分な電流 (不要な電荷の移動) が発生して消費電力の増加を招く場合がある。

#### 【0060】

本例のドレイン制御回路DDC1では、上述のように、ダミーの単位画素にお

ける P-型基板層 122 と n ウェル層 125 とで構成される p n 接合領域がダイオード RPD として利用されている。このため、単位画素 100 における p n 接合領域の温度変化と同様にダイオード RPD の温度も変化する。これにより、温度変化に応じてダイオード RPD の順方向電圧  $V_F$  が変化して、ドレイン拡散領域に印加されるドレイン電圧  $V_D$  を変化させることができるので、単位画素 100 における p n 接合領域のバイアス状態が温度変化に応じた所望の状態となるようにすることができる。この結果、p n 接合領域の温度変化によって、所望量の電荷（ホール）の移動が得られなくなることを防止することができる。また、不要な電荷（ホール）の移動による消費電力の増加を抑制することができる。

#### 【0061】

なお、プリチャージ期間において、スイッチ SW によって反転アンプ AP の出力を選択している時間を単位画素 100 の p n 接合領域の温度変化に応じて変化させれば、不要な電荷の移動による消費電力の増加をさらに抑制することも可能である。単位画素 100 の p n 接合領域の温度変化を検出する方法としては、上述のドレイン制御回路 DDC1 におけるダイオード RPD の順方向電圧  $V_F$  の変化から容易に求めることが可能である。

#### 【0062】

##### D2. 第2実施例:

図16は、第2実施例のドレイン制御回路を示す説明図である。このドレイン制御回路 DDC2 は、定電流源 CIP2 と、スイッチ SW とを備えている。非プリチャージ期間においては、スイッチ SW によって図示しない定電圧回路の出力が選択されて、その出力電圧  $V_{D1}$  がドレイン電圧  $V_D$  としてドレイン拡散領域 129 に供給される。

#### 【0063】

プリチャージ期間では、スイッチ SW によって定電流源 CIP2 の出力が選択されて、電流  $I_P$  が単位画素 100（図12参照）の P-型基板層 122 と n ウェル層 125 とで構成される p n 接合領域 PDdsb に流れて、この p n 接合領域 PDdsb が順方向にバイアスされた状態となる。そして、電流  $I_P$  が電流増幅率  $H_{fe}$  倍された電流 ( $I_P \cdot H_{fe}$ ) が、P-基板層 122 から p ウェル領

域 126 に向けて n ウェル層 125 を介して流れることになる。これにより、電流 ( $I_P \cdot H_{fe}$ ) に応じた量のホールを p ウェル領域 126 に流入させることが可能となる。この結果、キャリアポケット 131 に対してホールを蓄積させることができる。なお、このときのドレイン拡散領域 129 のドレイン電圧  $V_D$  は、順方向にバイアスされた p n 接合領域  $P D d s b$  の順方向電圧に応じた電圧となる。

#### 【0064】

ここで、上述したように、本例のドレイン制御回路 DDC2 の場合、電流  $I_P$  を電流増幅率  $H_{fe}$  倍した電流 ( $I_P \cdot H_{fe}$ ) が、P-基板層 122 から n ウェル層 125 を介して p ウェル領域 126 に向けて流れる。電流増幅率  $H_{fe}$  は、P-型基板層 122 から n ウェル層 125 を介してドレイン拡散領域 129 に向けて流れる電流に対する P-型基板層 122 から n ウェル層 125 を介して p ウェル領域 126 に向けて流れる電流の比である。従って、電流  $I_P$  が一定であるならば、P-型基板層 122 と n ウェル層 125 とで構成される p n 接合領域の温度の変化に関わらず p ウェル領域に流れ込む電流 ( $I_P \cdot H_{fe}$ ) もほぼ一定とすることができる。これにより、本例のドレイン制御回路 DDC2 を用いた場合、p n 接合領域の温度変化によって、所望量の電荷（ホール）の移動が得られなくなることを防止することができる。また、不要な電荷（ホール）の移動による消費電力の増加を抑制することができる。

#### 【0065】

なお、プリチャージ期間において、スイッチ SW によって定電流源  $CIP2$  の出力を選択している時間を単位画素 100 の p n 接合領域の温度変化に応じて変化させれば、不要な電荷の移動による消費電力の増加をさらに抑制することも可能である。単位画素 100 の p n 接合領域の温度変化を検出する方法としては、第 1 実施例のドレイン制御回路 DDC1 におけるダイオード  $RPD$  の順方向電圧  $V_F$  の変化から容易に求めることが可能である。

#### 【0066】

D3. 第 3 実施例：

図 17 は、第 3 実施例のドレイン制御回路を示す説明図である。このドレイン

制御回路 DDC 3 は、コンデンサ CCH と、充電用電源 VCH と、2 つのスイッチ SW1, SW2 とを備えている。非プリチャージ期間では、図 17 (A) に示すように、第 1 のスイッチ SW1 によって図示しない定電圧回路の出力が選択されて、その出力電圧 VD1 がドレイン電圧 VD としてドレイン拡散領域 129 (図 12 参照) に供給される。

#### 【0067】

また、コンデンサ CCH の接地電位 GND に接続された端子とは反対の端子 t m1 が、第 2 のスイッチ SW2 によって充電用電源 VCH の出力端子 t m3 に接続される。そして、コンデンサ CCH は充電用電源 VCH によって充電されて、コンデンサ CCH の端子 t m1 の電圧 VD2 は、充電用電源 VCH の出力端子 t m3 の電圧 Vp にほぼ等しくなる。このとき、コンデンサ CCH には、電荷 Qp ( $=C_p \cdot V_p$ : Cp はコンデンサ CCH の容量) が蓄積されている。なお、充電用電源 VCH の出力端子 t m3 の電圧 Vp は、P-型基板層 122 と n ウェル層 125 とで構成される pn 接合領域を順方向にバイアスされた状態とするために、負の電圧に設定される。また、電圧 Vp は、後述するように、コンデンサ CCH に蓄積させたい電荷 Qp およびコンデンサ CCH の容量 Cp の大きさに依存するが、約 -1.0 V ~ 約 -3 V の範囲内で設定される。

#### 【0068】

プリチャージ期間では、図 17 (B) に示すように、コンデンサ CCH の端子 t m1 が第 2 のスイッチ SW2 によって充電用電源 VCH から切り離されて第 1 のスイッチ SW1 に接続されるとともに、第 1 のスイッチ SW1 によってコンデンサ CCH の端子 t m1 の電圧 VD2 がドレイン電圧 VD としてドレイン拡散領域 129 に供給される。このとき、コンデンサ CCH に蓄積されている電荷 Qp をキャンセルするように、単位画素 100 (図 12 参照) の P-型基板層 122 から n ウェル層 125 およびドレイン拡散領域 129 を介してコンデンサ CCH に向けて電荷 (ホール) の移動が発生する。そして、この電荷の移動に応じて、電荷 Qp を電流増幅率 Hfe 倍した電荷 (ホール) が、P-基板層 122 から n ウェル層 125 を介して p ウェル領域 126 に注入される。この結果、キャリアポケット 131 に対してホールを蓄積させることができる。

## 【0069】

なお、本例において、P-基板層 122 から p ウェル領域 126 へのホールの注入が行われる期間は、コンデンサ CCH に蓄積されている電荷  $Q_p$  をキャンセルするように、P-型基板層 122 からコンデンサ CCH に n ウェル層 125 およびドレイン拡散領域 129 を介して電荷（ホール）の移動が発生している間、言い換えると、端子  $t_{m1}$  の電圧  $V_{D2}$  が電圧  $V_P$  から  $-0.6\text{ V}$  に変化する間だけである。また、電荷の移動によってドレイン拡散領域 129 に供給される電流は、第 2 実施例における一定の電流とは異なり、コンデンサに蓄積されている電荷量に応じて変化する電流となる。従って、プリチャージ期間におけるキャリアポケット 131 へのホールの蓄積によって蓄積されるホール数が飽和ホール数となるために必要な電荷が、あらかじめコンデンサ CCH に充電されるように、コンデンサ CCH の容量  $C_P$  および充電用電源  $V_{CH}$  の電圧  $V_p$  を調整することが好ましい。これにより、不要な電荷（ホール）の移動による消費電力の増加を抑制することができる。また、pn 接合領域の温度変化によって、所望量の電荷（ホール）の移動が得られなくなることを防止することができる。

## 【0070】

E. 変形例：

なお、本発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

## 【0071】

上記実施例では、キャリアポケットに蓄積されているホール数が飽和状態となるようにプリチャージを行っているが、これに限定されるものではなく、飽和状態ではなく、所定のホール数となるようにプリチャージを行うようにしてもよい。

## 【0072】

上記実施例では、フォトダイオード 111 と光検出用のトランジスタ 112 とで、p 型のウェル領域 126 を共有する構成とし、光検出用のトランジスタ 112 を nMOS とした場合を例に説明している。しかしながら、フォトダイオード



と光検出用のトランジスタとで共有されるウェル領域を n 型のウェル領域とし、光検出用トランジスタを p MOS とすることも可能である。ただし、この場合に、キャリアポケットに蓄積される光電荷（キャリア）は、ホールではなく電子となる。また、プリチャージ期間において導通状態とされる寄生のバイポーラトランジスタは、p n p 型ではなく n p n 型のトランジスタである。これに応じて各実施例のドレイン制御回路も、生成する電圧、電流、電荷の極性が適宜変更される。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に係るイメージセンサ（固体撮像装置）の全体の構成について示す説明図である。

【図 2】 単位画素内における素子レイアウトの一例を示す概略平面図である。

【図 3】 図 2 の A - A 線概略断面図である。

【図 4】 比較例としての 1 つの単位画素における撮像のシーケンスを示す説明図である。

【図 5】 蓄積期間の動作を示す説明図である。

【図 6】 図 5 の B - B 線断面におけるポテンシャル分布を示す説明図である。

【図 7】 読み出し期間における n MOS トランジスタを示す説明図である。

【図 8】 リセット期間の動作を示す説明図である。

【図 9】 図 8 の B - B 線断面におけるポテンシャル分布を示す説明図である。

【図 1 0】 リセット期間におけるリセット動作終了後の残留ホール数について示す説明図である。

【図 1 1】 実施例としての 1 つの単位画素における撮像のシーケンスを示す説明図である。

【図 1 2】 プリチャージ期間の動作を示す説明図である。

【図 1 3】 図 1 2 の C - C 線に沿ったポテンシャル分布を示す説明図であ

る。

【図 14】 プリチャージ後のホール数について示す説明図である。

【図 15】 第 1 実施例のドレイン制御回路を示す説明図である。

【図 16】 第 2 実施例のドレイン制御回路を示す説明図である。

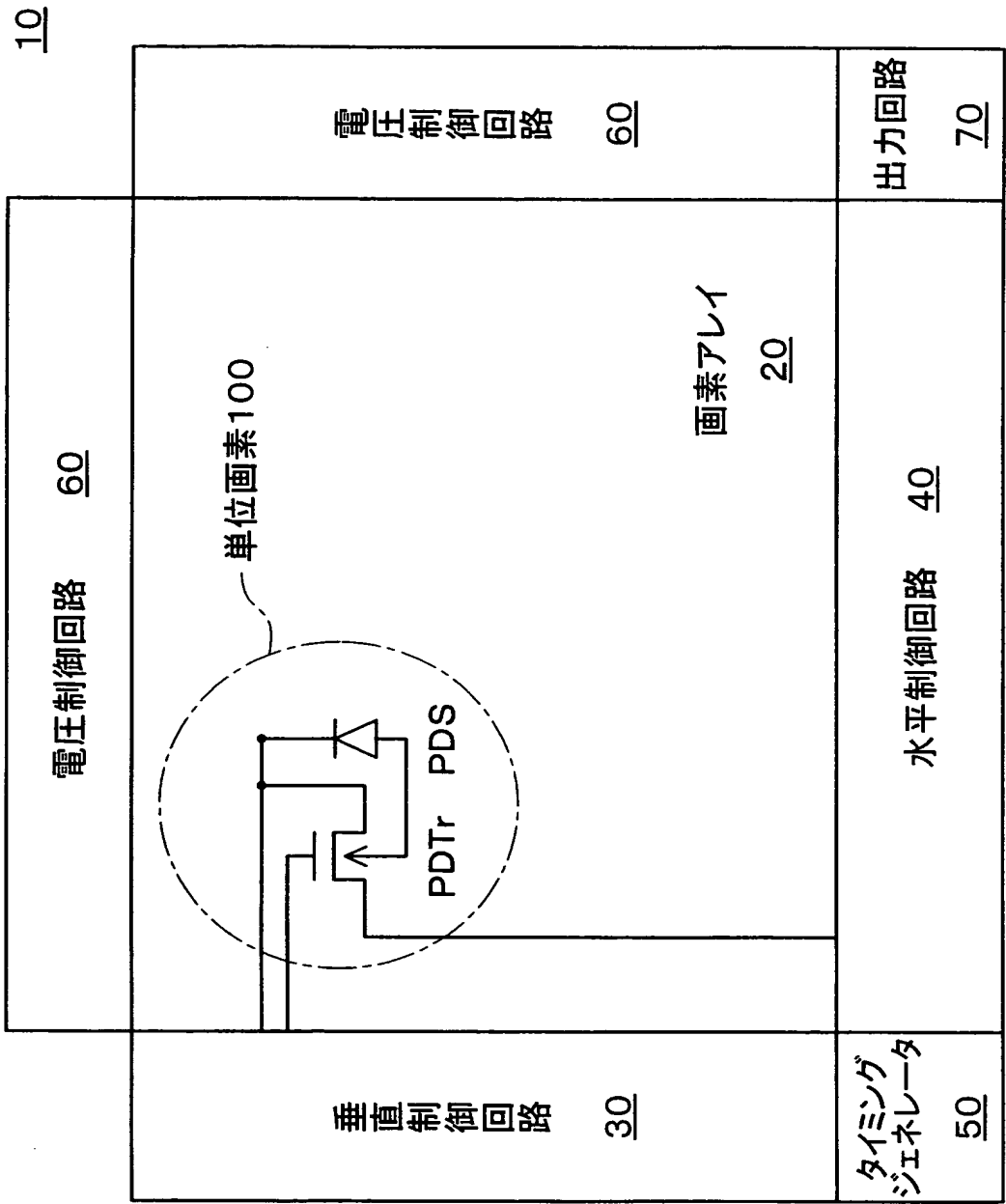
【図 17】 第 3 実施例のドレイン制御回路を示す説明図である。

【符号の説明】

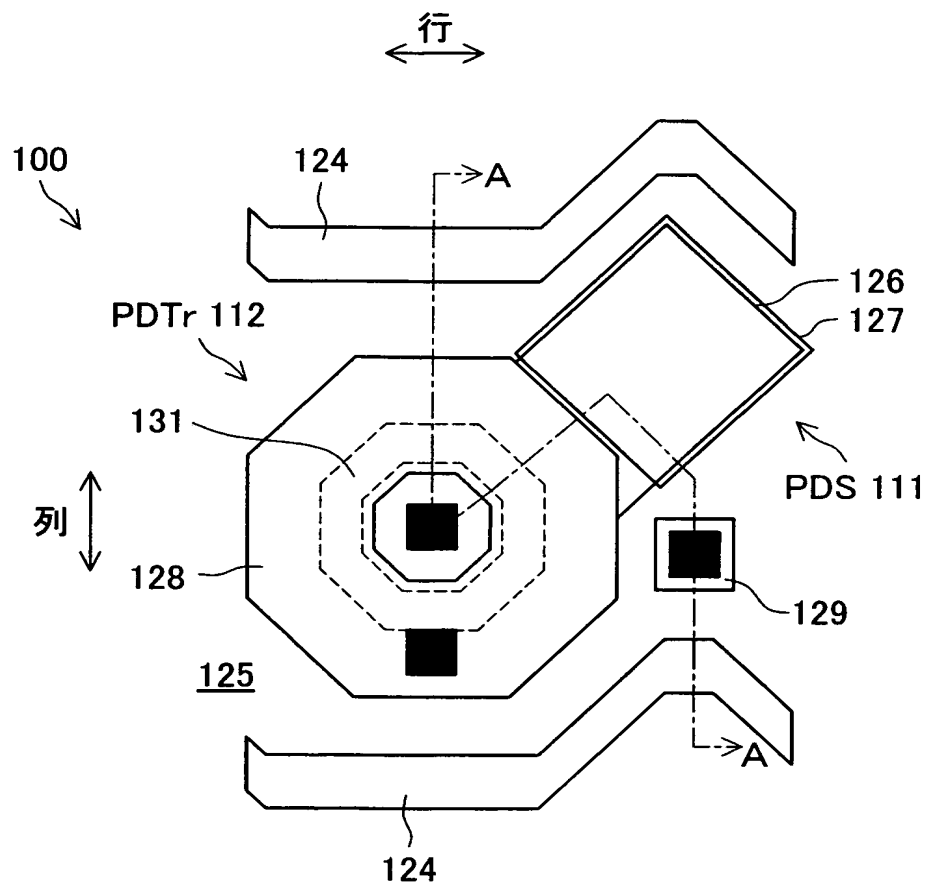
10…イメージセンサ、20…画素アレイ、30…垂直制御回路、40…水平制御回路、50…タイミングジェネレータ、60…電圧制御回路、70…出力回路、100…単位画素、111…フォトダイオード (PDS)、112…トランジスタ (PDTr)、121…基板 (p 型基板)、122…p 型基板層、122a…不純物拡散領域、123…画素分離領域、124…素子分離ゲート、125…ウェル領域 (n ウェル領域)、126…ウェル領域 (p ウェル領域)、127…不純物拡散領域、128…ゲート電極 (リング状ゲート電極)、128a…ゲート絶縁膜、129…ドレイン拡散領域、130…ソース拡散領域、131…キャリアポケット、132…n ウェル領域 (チャネル領域)、CIP1…定電流源、CIP2…定電流源、RPD…ダイオード、AP…反転アンプ、SW…スイッチ、SW1…スイッチ、SW2…スイッチ、PDdsb…pn 接合領域、VCH…充電用電源、CH…コンデンサ

【書類名】 図面

【図 1】

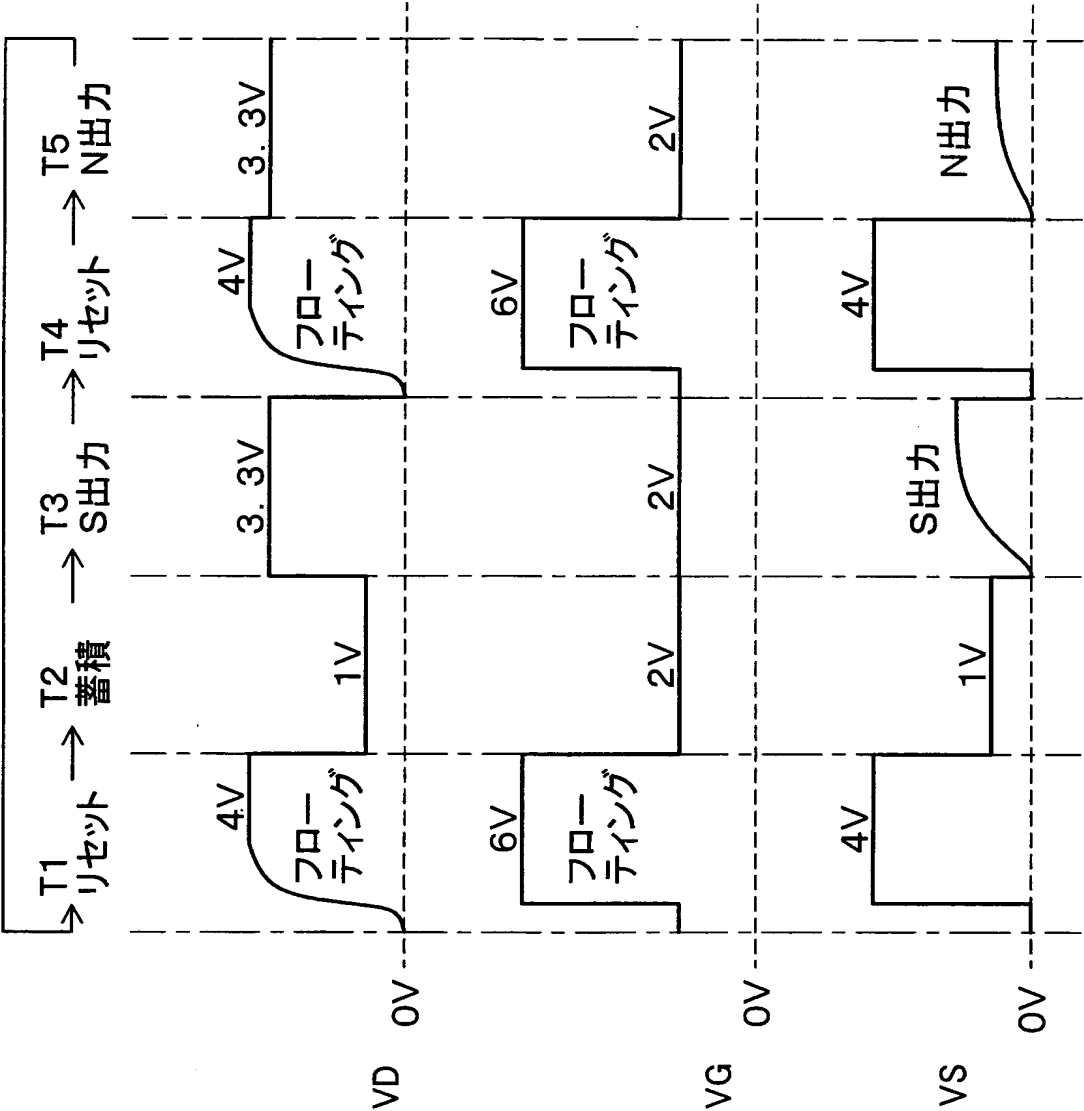


【図 2】



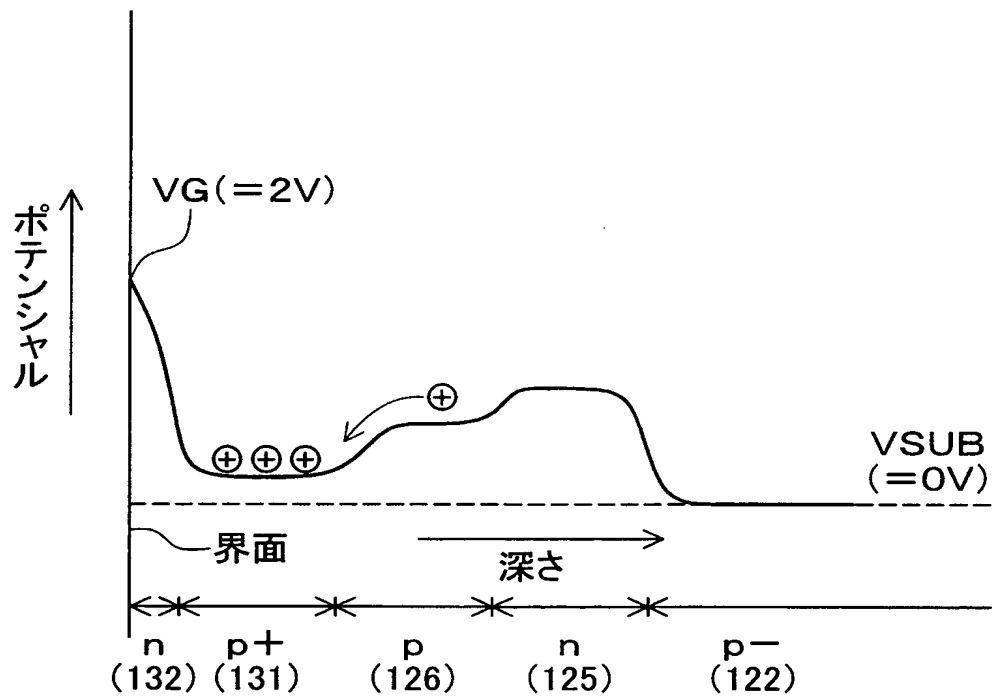


【図 4】

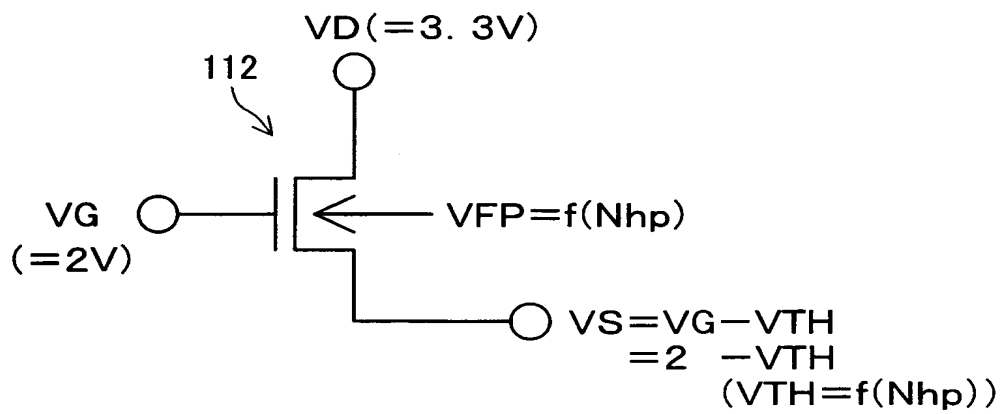




【図 6】



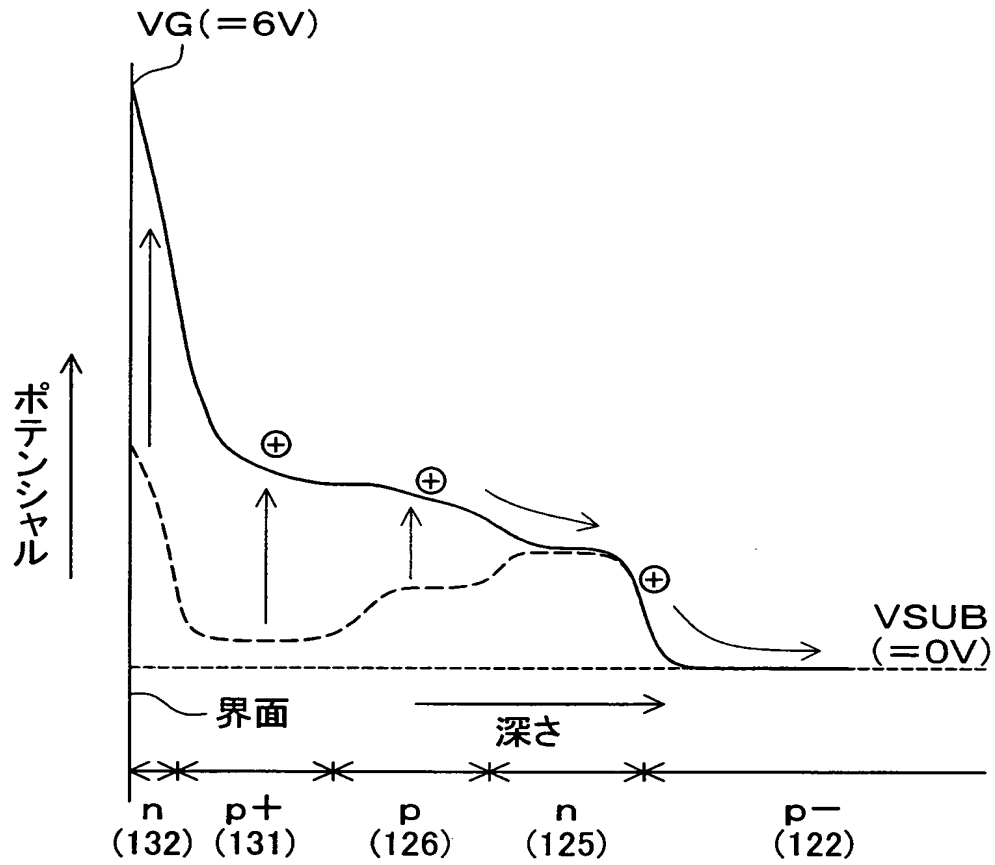
【図 7】



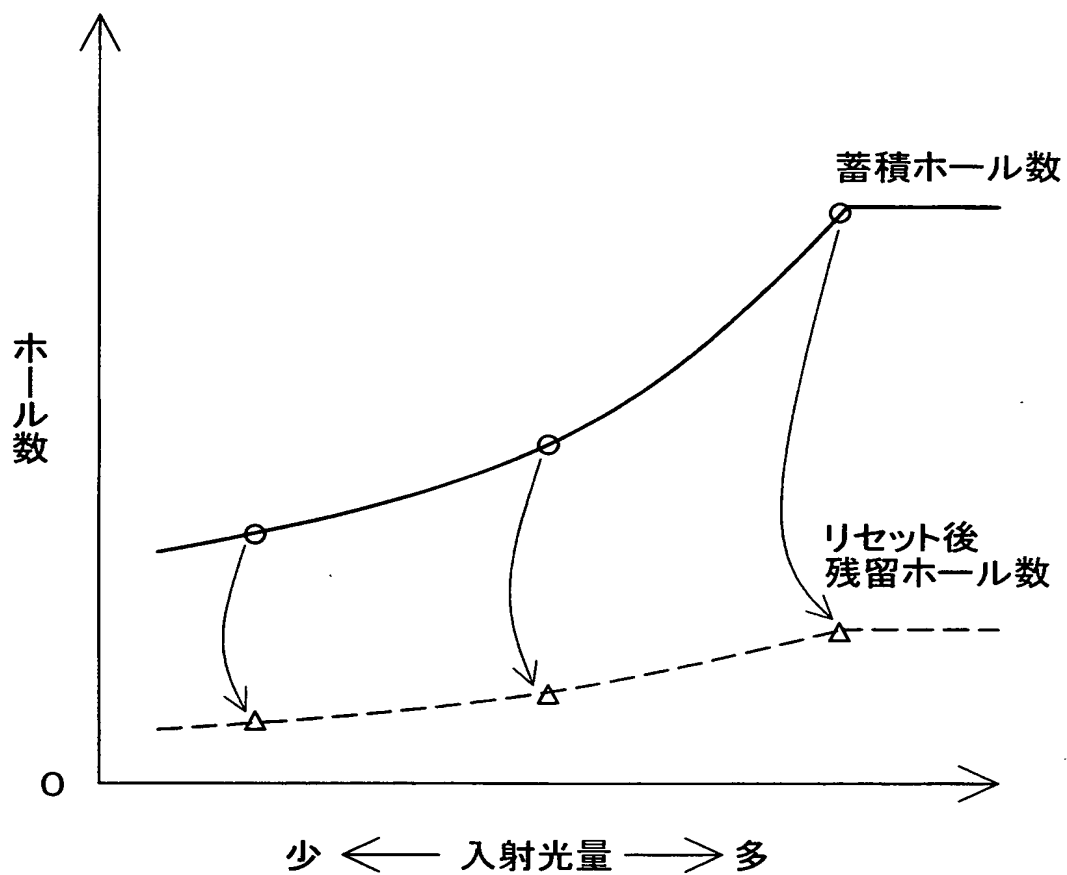




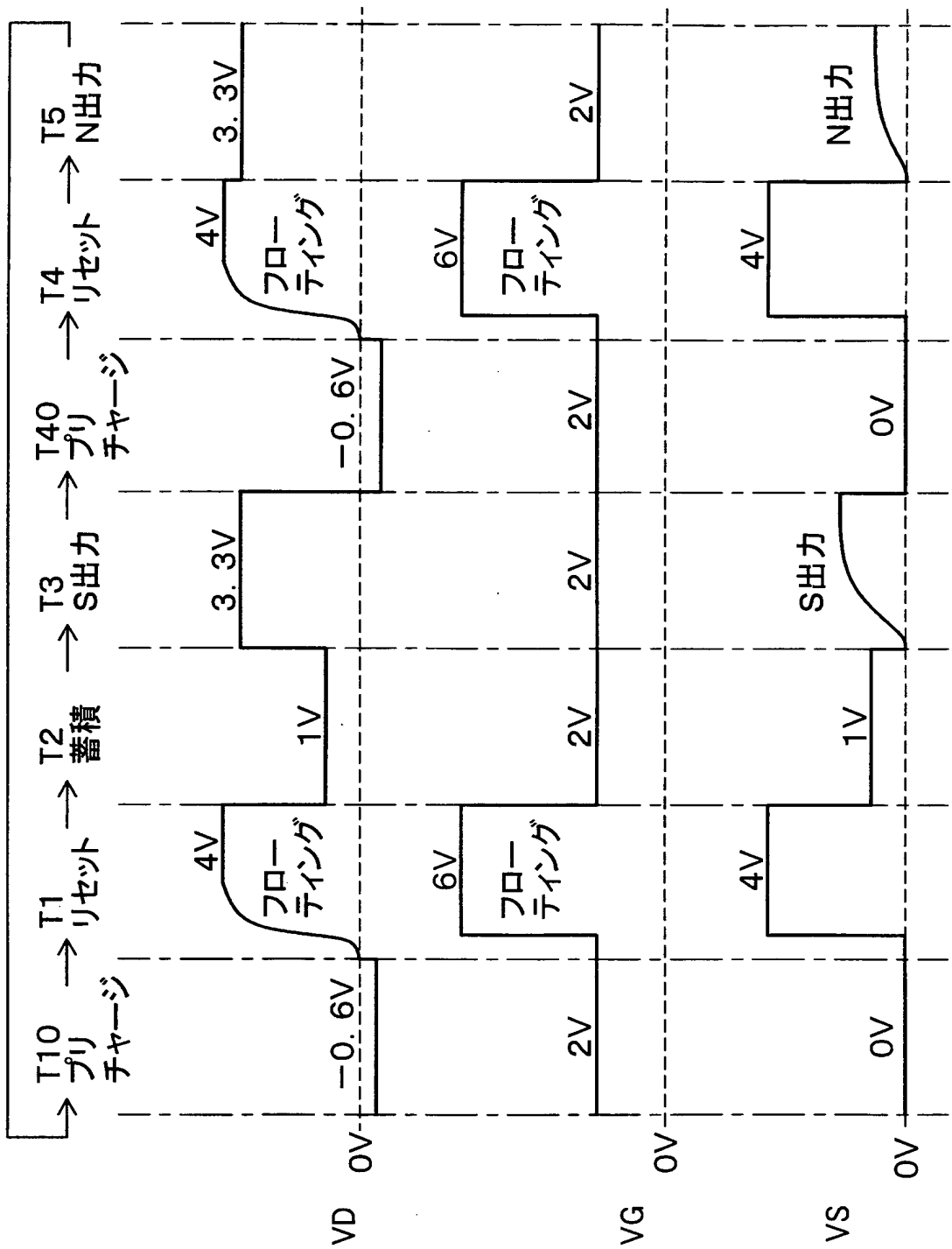
【図 9】



【図 10】

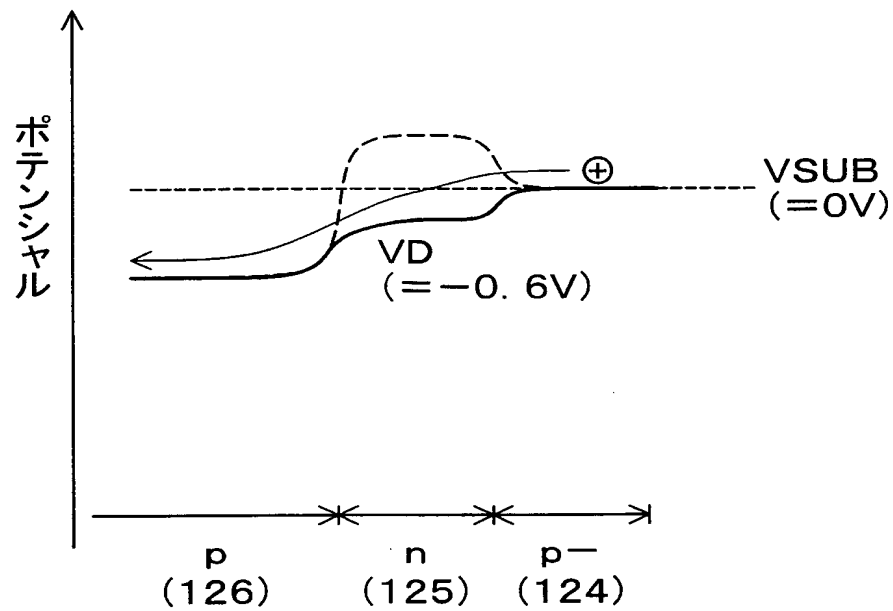


【図 11】

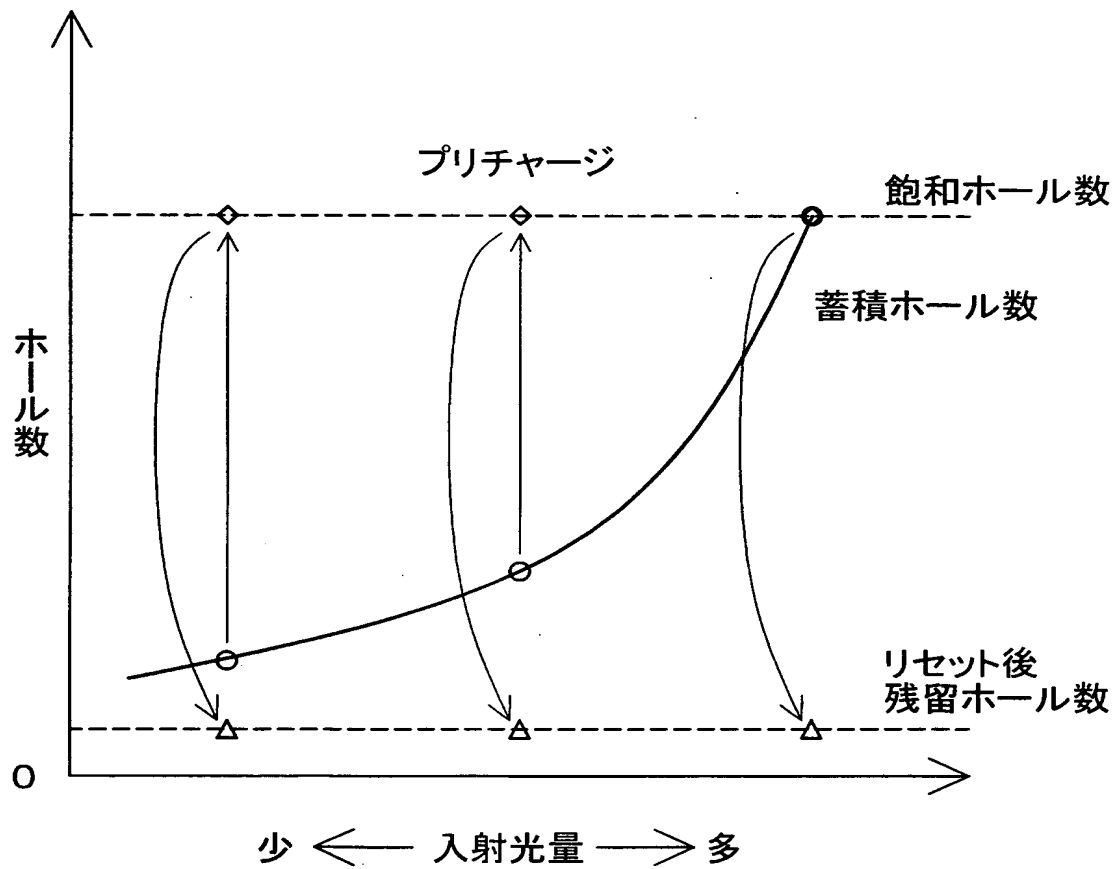




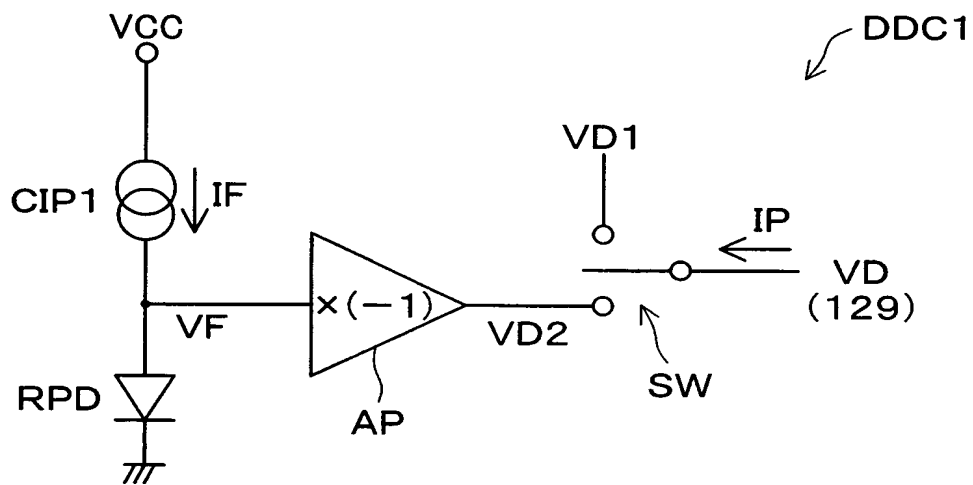
【図 13】



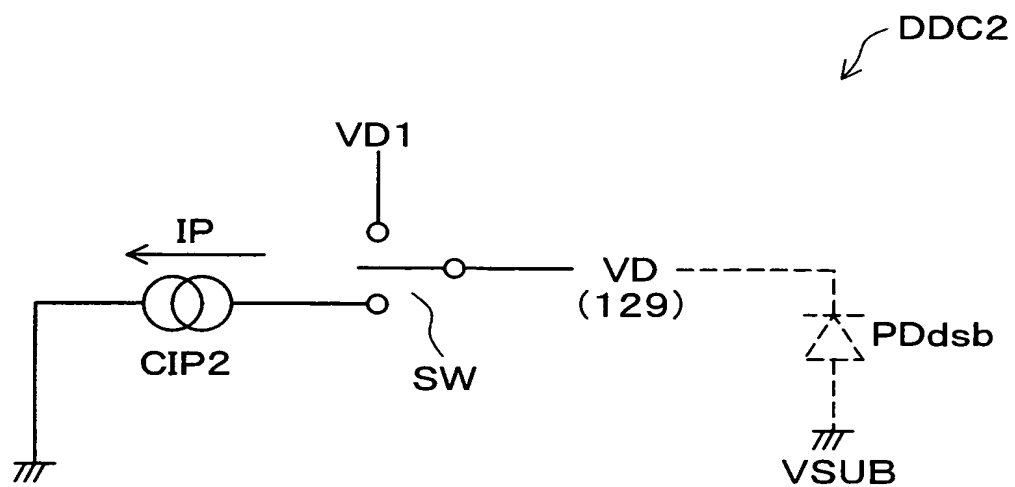
【図 14】



【図 15】

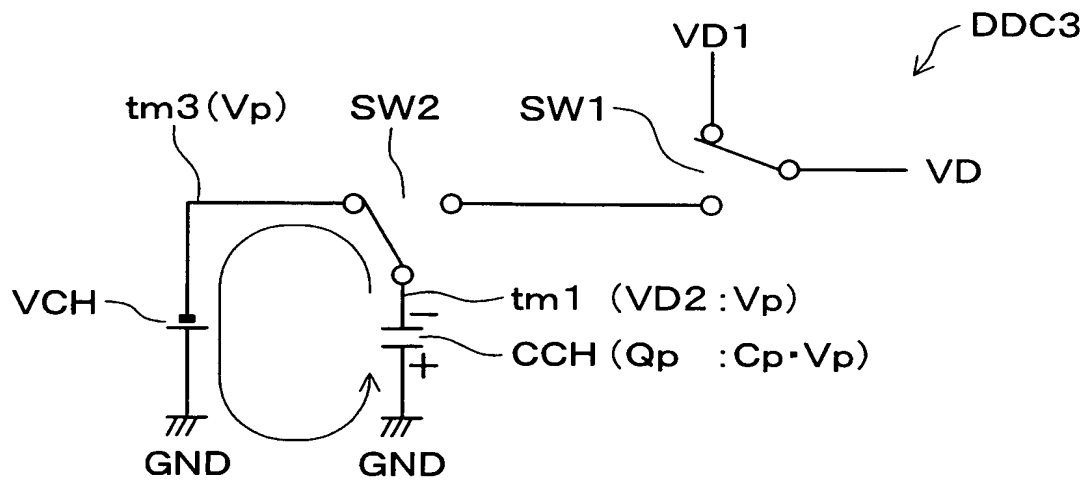


【図 16】

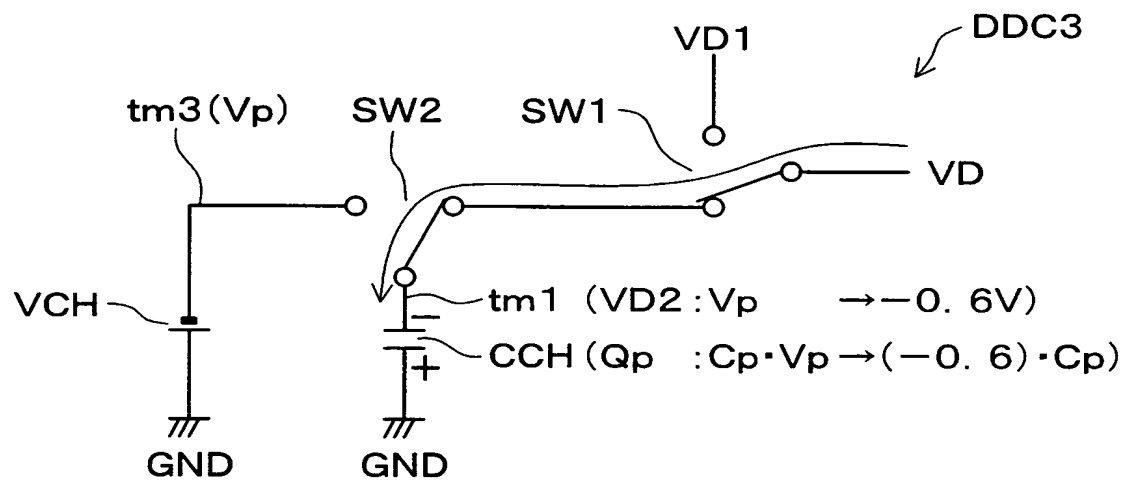


【図 17】

(A)



(B)





【書類名】 要約書

【要約】

【課題】 しきい値変調型固体撮像素子において、前の撮像において蓄積された光電荷による残像によって発生する画質の劣化を抑制する。

【解決手段】 固体撮像装置は、フォトダイオードと光電荷検出用の絶縁ゲート型電界効果トランジスタとを有する単位画素が複数配列された画素アレイと、画素アレイの動作を制御する制御回路とを備える。制御回路は、ドレイン拡散領域に定電圧と定電流と定電荷とのいずれかを供給するドレイン制御回路を有し、蓄積領域に蓄積されている所定の導電型の電荷を排出させる際に、あらかじめドレイン制御回路からドレイン拡散領域に供給される定電圧と定電流と定電荷とのいずれかによって第1導電型の半導体基板と第2導電型の半導体層とで構成される接合領域を順方向にバイアスされた状態とすることにより、蓄積領域に所定の導電型の電荷が所定量蓄積された状態とする。

【選択図】 図 1 2

特願 2 0 0 3 - 0 4 3 6 0 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社